

## ⑫ 公開特許公報 (A)

平1-98167

⑤ Int. Cl. 4

G 11 B 20/10  
H 04 N 5/92

識別記号

3 4 1

庁内整理番号

Z-6733-5D  
H-7734-5C

④ 公開 平成1年(1989)4月17日

審査請求 未請求 発明の数 1 (全4頁)

⑤ 発明の名称 ディジタル信号記録再生装置

⑥ 特願 昭62-256536

⑦ 出願 昭62(1987)10月12日

⑧ 発明者	松 田 豊 彦	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑨ 発明者	下 田 代 雅 文	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑩ 発明者	小 林 正 明	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑪ 出願人	松下電器産業株式会社	大阪府門真市大字門真1006番地	
⑫ 代理人	弁理士 中尾 敏男	外1名	

## 明細書

## 1、発明の名称

ディジタル信号記録再生装置

## 2、特許請求の範囲

(1) ディジタル信号を記録および再生する装置であって、入力されたディジタル信号を振幅方向に多値化したうえ直角2相変調する多値直交振幅変調回路と、入力されたクロック信号より搬送波とバイロット信号を発生させる周波数変換回路と、上記変調を受けた信号と上記バイロット信号とを加算する加算器と、上記加算器からの出力信号を磁気記録媒体に記録および再生を行う磁気記録再生部と、上記変調を受けている磁気記録再生部からの再生信号をもとのディジタル信号になおす多値直交振幅変調回路と、前記再生信号よりバイロット信号を取り出し搬送波とクロック信号を再生させる周波数変換回路とを具備することを特徴とするディジタル信号記録再生装置。

(2) 入力されたクロック信号より搬送波とバイロ

ット信号を発生させる周波数変換回路として、クロック信号の周波数  $f_{CLK}$  とバイロット信号の周波数  $f_p$  が、

$$f_p = f_{CLK} / N$$

(ただし、Nは任意の定数)となる分周器と、バイロット信号の基本周波数成分だけを通過させる帯域通過フィルタと、前記分周器から出力されるバイロット信号の周波数  $f_p$  と搬送周波数  $f_c$  が、

$$f_c = M \cdot f_p$$

(ただし、Mは任意の定数)となる倍増器と、搬送波周波数成分だけを通過させる帯域通過フィルタとを具備することを特徴とする特許請求の範囲第(1)項記載のディジタル信号記録再生装置。

(3) バイロット信号から搬送波とクロック信号を再生する周波数変換器として、入力されたバイロット信号をパルス波形に整形するコンバレータと、前記コンバレータから出力されたバイロット信号の周波数  $f_p$  と搬送波周波数  $f_c$  が、

$$f_c = M \cdot f_p$$

(ただし、Mは任意の定数)となる倍増器と、前記倍増器の出力から搬送波周波数成分だけを通過させる帯域通過フィルタと、前記コンバレータから出力されるバイロット信号の周波数  $f_p$  とクロック信号の周波数  $f_{clk}$  が、

$$f_{clk} = N \cdot f_p$$

(ただし、Nは任意の定数)となる倍増器とを特徴とする特許請求の範囲第(1)項記載のデジタル信号記録再生装置。

### 3. 発明の詳細な説明

#### 産業上の利用分野

本発明は、デジタル・ビデオテープレコーダー(DVTR)などのデジタル信号記録再生装置に関するものである。

#### 従来の技術

本発明のデジタル信号記録再生装置は搬送波が抑圧されている多値直交振幅変調(QAM)を用いているため同期検波に必要な搬送波を再生しなければならない。搬送波を再生する方法として

上記問題点を解決するために、本発明のデジタル信号記録再生装置は、入力されるクロック信号周波数を基準として搬送波とバイロット信号を発生させる周波数変換回路と、多値直交振幅変調(QAM)回路から出力された変調信号にバイロット信号を加算する加算器と、復調側においてバイロット信号からクロック信号と搬送波を再生する周波数変換回路とを備えたものである。

#### 作用

本発明は上記した構成により、搬送波再生回路とクロック再生回路を簡単にすることができます。また、バイロット信号には位相基準が保存されているので位相基準を新に設ける手段を必要とせず  $S/N$  の劣化や、帯域の利用効率の低下を招かない。

#### 実施例

以下、本発明の一実施例のデジタル信号記録再生装置について図面を参照しながら説明する。

第1図は、本発明の実施例におけるデジタル信号記録再生装置の要部構成を示すブロック図で

は、倍増法、逆変調法、コスカス法などがある(例えば、「デジタル無線通信」室谷正芳著(昭和60年)40~48ページ)。

また、多値信号をデジタル信号に変換するさいクロック信号が必要であり、クロック信号の再生には帯域通過フィルタなどでエッジ情報を取り出しフェーズ・ロックド・ループ(PLL)をかける方法がある。

#### 発明が解決しようとする問題点

しかし、上記のような搬送波再生回路とクロック再生回路を用いた構成においては、ハードウェアが複雑であり、また再生された搬送波とクロックには複数の移相安定点が存在するため、搬送波の再生では差動符号化などの方法で位相情報を得なければならず、 $S/N$  の劣化を招いている。

本発明は、上記問題に鑑み、簡単な構成で位相基準を持った搬送波とクロック信号の再生ができるデジタル信号記録再生装置を提供するものである。

#### 問題点を解決するための手段

ある。 $n$ ビットのデジタル信号は入力端子1に入力される。入力端子1に入力されたデジタル信号は、多値化回路2および4にそれぞれ入力される。多値化回路2および4で、入力されるビット数  $n$  に対して  $2^n$  値の多値信号に変換する。多値化回路2および4の出力は低域通過フィルタ3および5に入力される。低域通過フィルタ3および5は、コサインロールオフ特性を持つものとする。

一方、クロック信号入力端子7から入力されたクロック信号は周波数変換回路8に入力される。この周波数変換回路8の構成例を第2図に示す。入力端子23に入力されたクロック信号は、分周器101により  $1/N$  に分周され帯域通過フィルタ104を通してバイロット信号として出力端子25から出力される。また、分周器101からの出力は倍増器102に入力され  $M$  倍増される。倍増器102からの出力は帯域通過フィルタ103を通して搬送波として出力端子24から出力される。

$$f_p = f_{CLK} / N$$

$$f_c = M \cdot f_p = M / N \cdot f_{CLK}$$

ただし、M、Nは任意の定数、 $f_p$ はバイロット信号周波数、 $f_{CLK}$ はクロック信号周波数、 $f_c$ は搬送波周波数とする。また、バイロット信号が変調信号の帯域内に入らないようにするために、搬送波周波数 $f_c$ と多値信号の基底帯域Wとバイロット信号周波数 $f_p$ の関係を

$$f_c - W > f_p$$

にする必要がある。

低域通過フィルタ3および5の出力は直角2相変調器6に入力され周波数変換回路8から出力された搬送波によって直角2相変調される。直角2相変調器6からの出力は、加算器9に入力され周波数変換回路8からのバイロット信号と加算される。加算器9からの出力信号は記録ヘッド10を通り、磁気記録媒体11に記録される。

磁気記録媒体11に記録された信号は再生ヘッド12により取り出され、群遅延がないイコライザ回路13に入力される。イコライザ回路13で

イコライザ回路13の出力は、同期検波回路14に入力され、周波数変換回路20から出力された搬送波によって同期検波される。同期検波回路14からの出力信号は、低域通過フィルタ15および17に入力され、もとの基底帯域成分のみ取り出す。低域通過フィルタ15および17の出力信号は、アナログ-ディジタル変換器16および18に入力され、周波数変換回路19から出力されたクロック信号により、nビットのディジタル信号となり出力端子21より出力される。また、同時に出力端子22よりクロック信号が出力される。

以上のように、本実施例によれば、クロック信号により搬送波とバイロット信号を発生させる周波数変換回路8と、バイロット信号を変調信号に加算する加算器9と、バイロット信号により搬送波とクロック信号を再生する周波数変換回路19を設けることにより、簡単な回路構成で、位相基準を持つ搬送波とクロック信号を再生することができる。

磁気記録再生で劣化した周波数特性を改善する。

一方、再生ヘッド19からの出力は帯域通過フィルタ19に入力され、バイロット信号成分のみ取り出し、周波数変換回路20に入力される。この周波数変換回路20の構成例を第3図に示す。入力端子26に入力されたバイロット信号は、コンバレータ105に入力されパルス波形に整形される。コンバレータ105の出力は過倍器108に入力されて、N倍されクロック信号として出力端子28から出力される。また、コンバレータ105の出力は過倍器106に入力されて、M倍され、帯域通過フィルタ107を通り搬送波として出力端子27より出力される。

$$f_{CLK} = N \cdot f_p$$

$$f_c = M \cdot f_p$$

ただし、M、Nは任意の定数、 $f_{CLK}$ はクロック信号周波数、 $f_p$ はバイロット信号周波数、 $f_c$ は搬送波周波数である。また、このときバイロット信号との位相関係は変調側の周波数変換回路8での入出力関係と同じに調整する必要がある。

なお、本実施例において、コスタス法などの搬送波再生回路および他の方法によるクロック再生回路を用いなかったが、それらを併用すれば再生精度を上げることができる。

また、周波数変換回路8の構成例において $f_c = M \cdot f_p$ としたが、 $f_c = M / N \cdot f_{CLK}$ としてクロック信号から直接M/N倍して、搬送波を作ってもよい。

また、本実施例においてはQAMについて述べたが、PSK、FSKなどの他の変調方式においても同様の効果を得ることができる。

#### 発明の効果

以上述べてきたように、本発明によれば、搬送波とバイロット信号を発生させる周波数変換回路と、バイロット信号を変調信号に加算する加算器と、搬送波とクロック信号を再生する周波数変換回路を設けることにより、位相基準を持つ搬送波とクロック信号の再生を簡単にすることができます、かつ、S/Nの劣化などを招かず同期検波をすることができ、実用的に極めて有用である。

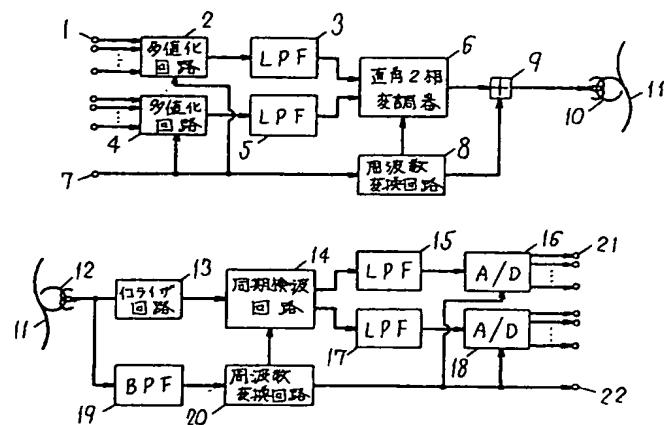
#### 4. 図面の簡単な説明

第1図は本発明の一実施例のディジタル信号記録再生装置を示すブロック図、第2図は本発明の実施例における周波数変換回路の構成を示すブロック図、第3図は本発明の実施例における周波数変換回路の構成を示すブロック図である。

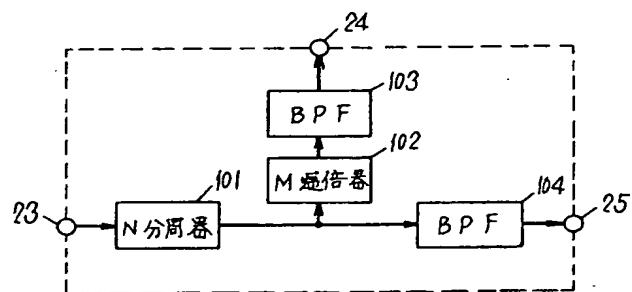
2 ……多值化回路、 6 ……直角 2 相変調器、 8  
 ……周波数変換回路、 9 ……加算器、 13 ……イ  
 コライザ回路、 14 ……同期検波回路、 16 ……  
 アナログ-デジタル変換器、 20 ……周波数変  
 換回路、 101 ……分周器、 102 ……倍増器、  
 105 ……コンバレータ、 106 ……倍増器、  
 108 ……倍増器。

代理人の氏名 弁理士 中尾敏男 ほか 1 名

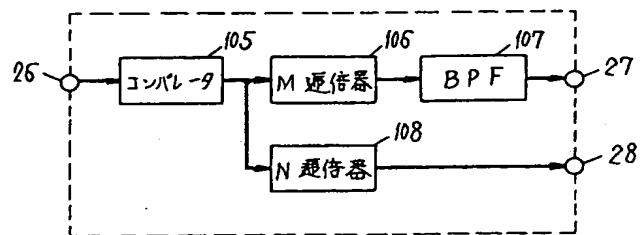
第 1 図



第 2 图



### 第 3 図



(19) 

(11) Publication number:

**01098167 A**

Generated Document.

**PATENT ABSTRACTS OF JAPAN**(21) Application number: **62256536**(51) Int. Cl.: **G11B 20/10 H04N 5/92**(22) Application date: **12.10.87**

(30) Priority:

(43) Date of application  
publication: **17.04.89**(84) Designated contracting  
states:(71) Applicant: **MATSUSHITA ELECTRIC IND CO  
LTD**(72) Inventor: **MATSUDA TOYOHIKO  
SHIMOTASHIRO MASAFUMI  
KOBAYASHI MASAAKI**

(74) Representative:

**(54) DIGITAL SIGNAL  
RECORDING AND  
REPRODUCING DEVICE** Abstract Drawing

(57) Abstract:

PURPOSE: To simplify a carrier wave reproducing circuit and a clock reproducing circuit and also to prevent a deterioration of an S/N ratio and a lowering in a band utilizing rate by forming a carrier wave and a pilot signal out of a clock signal and generating a recording signal by adding the pilot signal to a modulating digital signal.

CONSTITUTION: A digital input of n-number of bits is converted into a multivalued digital signal of  $2^n$  by multivaluation circuits 2 and 4 respectively to be supplied via LPFs 3 and 5 to a quadrative two-phase modulator 6. On the other hand, a frequency converter circuit 8 is supplied with the clock signal from a terminal 7 to form the carrier wave and the pilot signal, and the modulator 6 is supplied with this carrier wave to perform the two-phase modulation on its digital signal, which is then added with the pilot signal by an adder 9 to

be a recording signal. By the carrier wave with this phase reference and the clock signal, the carrier wave reproducing circuit and the clock reproducing circuit can be simplified, and also the detection can be carried out without causing the lowering of the S/N ratio, thus preventing the deterioration of the S/N ratio and the lowering in the band utilizing rate.

COPYRIGHT: (C)1989,JPO&Japio